`timescale 1ns / 1ps

//////////////////////////////////////////////////////////////////////////////////

// Company:

// Engineer:

//

// Create Date: 23.01.2020 12:51:14

// Design Name:

// Module Name: ReLU\_layer

// Project Name:

// Target Devices:

// Tool Versions:

// Description:

//

// Dependencies:

//

// Revision:

// Revision 0.01 - File Created

// Additional Comments:

//

//////////////////////////////////////////////////////////////////////////////////

module ReLU\_layer #(parameter m=32)(

input [m-1:0] a,

input clk,

input en,

output reg[m-1:0] out

);

always@(posedge clk)begin

if(en)

//out<=24'b0;

out<=32'b0;

else if(a[m-1]==1'b1)

out<=32'b0;

else

out<=a;

end

endmodule